



Tokyo Tech

Press Release

2024年2月19日

東京工業大学

Beyond 5G に向けた新規デジタル位相同期回路を開発

－低ジッタと低スプリアスを同時に実現－

【要点】

- デジタル位相同期回路の出力信号を高品質化する新方式を開発
- 新規カスケード型分数分周方式の採用により、スプリアスを大幅に低減
- 小型、低消費電力に IC 実装可能であり、さまざまな Beyond 5G 機器への適用を期待

【概要】

東京工業大学 工学院 電気電子系の岡田健一教授らの研究グループは、低スプリアス（用語 1）と低ジッタ（用語 2）を同時に実現する新方式のデジタル位相同期回路（PLL、用語 3）の開発に成功した。

無線通信機器などで広く用いられる分数分周 PLL（用語 4）では、原理的に出力信号に分周スプリアスが発生し、これを抑制する必要がある。従来のデザイン（用語 5）と呼ばれる方法では、スプリアスは除去できるが、ジッタが増加する課題があった。また、デジタル非線形補償（DPD、用語 6）と呼ばれる方法では、PLL のロック時間が長くなるという課題があった。

今回の研究では、スプリアスが発生する周波数を帯域外の高周波にシフトし、除去するという新たな手法により、この課題を解決した。開発した PLL を、最小の配線半ピッチ（幅）65 nm（ナノメートル）のシリコン CMOS プロセス（用語 7）で試作した。スプリアスの低減により 10 kHz から 10 MHz の範囲で積分したジッタとして 143.7 fs を実現した。消費電力は 8.89 mW であり、DPD を用いることなく、分周スプリアス-60 dBc を達成したデジタル PLL の中で、最高の FoM（用語 8）を達成した。この PLL は今後、小型で低消費電力、低位相雑音を重視する Beyond 5G 機器向け SoC への応用が期待される。

研究成果は、2月18日～22日に米国サンフランシスコで開催される「ISSCC 2024（国際固体素子回路会議）」で発表される。

●開発の背景

Beyond 5G (B5G) では、スマートフォン等を用いて人が通信を行うだけでなく、交通、製造、医療など幅広い分野で、さまざまな IoT 機器に無線通信機能やセンシング機能（例えばレーダーなど）が組み込まれる。IoT 機器は、2030 年代には 1 兆個にも達すると予想されているが、その実現には小型・低消費電力、低コスト化が不可欠であり、SoC (System on Chip) 化が必須である。今回開発した位相同期回路 (Phase-Locked Loop、PLL) は、

無線通信やレーダーにおけるキーコンポーネントである。無線通信では局部発振器 (Local Oscillator) に、レーダーではチャープ信号の生成などに用いられている。これらの応用において、PLL に要求される最も重要な性能指標の一つに位相雑音がある。位相雑音が大きいと、無線通信速度の低下やセンシング精度の低下につながる。そのため、SoC に集積可能で、低消費電力かつ低位相雑音を実現できる PLL の需要が高まっていた。

●研究成果

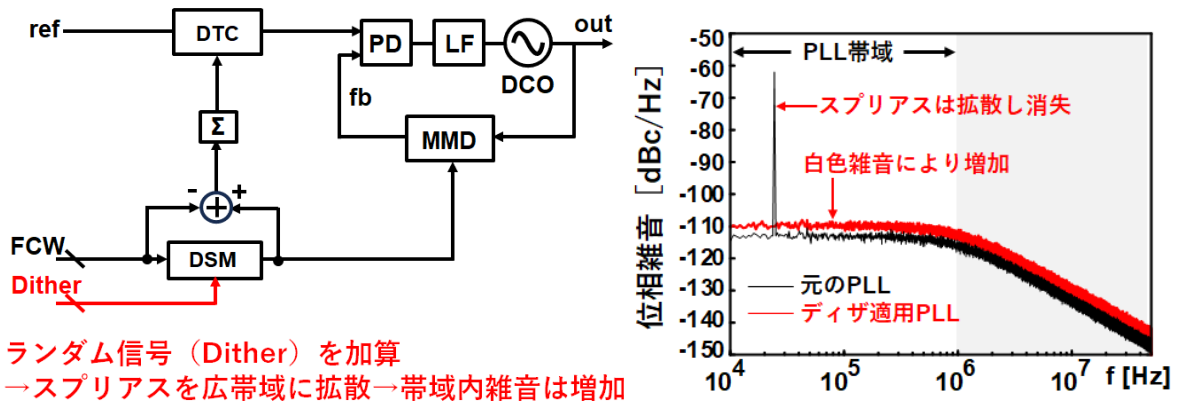
PLL の位相雑音を増大させる要因には、ジッタやスプリアスがある。近年、携帯端末向けなどには、**デルタシグマ変調** (Delta-Sigma Modulation、DSM、用語 9) を用いた分数分周 PLL が広く採用されている。最新の研究では、**デジタル時間変換器** (Digital-to-Time Converter、DTC、用語 10) を用いて、位相比較器 (Phase Detector、PD) への入力信号の範囲を狭め、また DSM の量子化雑音を打ち消すことにより、さらなる低消費電力化と低位相雑音化を図る方式が提案されている。しかしながら、DTC が**積分非直線性** (Integral Nonlinearity、INL、用語 11) をもつため、誤差に周期性が生じ、それに起因するスプリアスが発生するという課題があった。

この課題に対して、図 1(a) に示すような、信号経路にランダム信号を重畳する手法 (ディザリング) が提案されている。これにより、誤差の周期性が崩れ、スプリアスのエネルギーが周波数軸に拡散する。ディザリングは、スプリアスを除去するのに有効であるが、ディザ信号自体が白色雑音であるため、帯域内の位相雑音が増加するという欠点があった。別の手法として、デジタル非線形補償 (Digital Pre-Distortion、DPD) と呼ばれる技術もある。これは、DTC の非直線性をモデル化し、それを基に INL をデジタル信号処理で補正する技術である。この技術は、ジッタを増やすことなく、根本的にスプリアスを抑制することが可能であるが、デジタル信号処理に一定の時間を要するため、PLL の周波数が安定するまでの時間 (ロック時間) が長くなるという欠点があった。

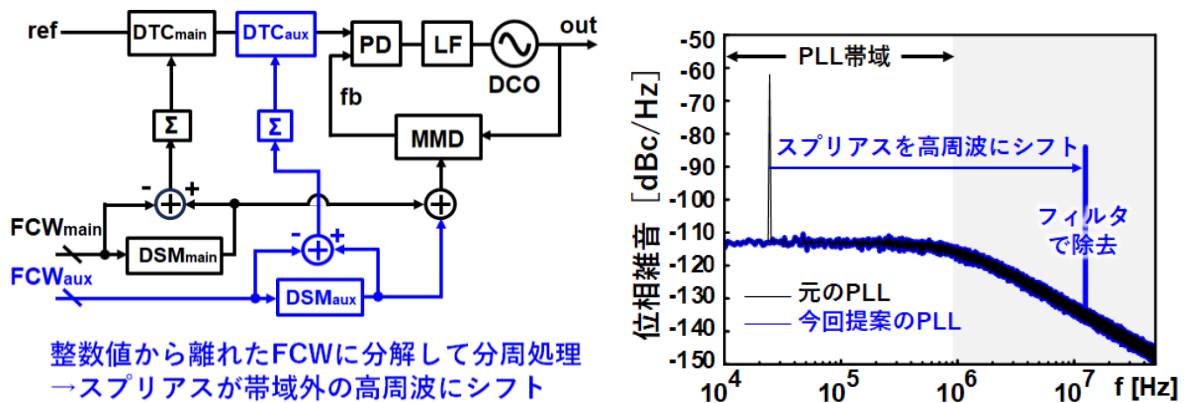
今回の研究で開発した PLL では、(1) カスケード (縦列) 型分数分周方式、(2) 疑似差動型 DTC、という 2 つの新しい回路技術を導入することにより、分数分周型のデジタル PLL において、既存の DPD 技術を使わずに、低ジッタと低スプリアス特性を実現した。

(1) カスケード型分数分周器

今回提案したカスケード型分数分周方式の構成と効果を図 1(b) に示す。この構成では、元の周波数制御ワード (FCW) を FCW_{main} と FCW_{aux} に分解し、それぞれ DSM_{main} と DSM_{aux} に供給してカスケードに分数分周を行う。 DSM_{main} と DSM_{aux} で発生する量子化雑音は、 DTC_{main} と DTC_{aux} でそれぞれ打ち消される。この時、 FCW_{main} と FCW_{aux} の分周比の分数部分が大きくなるよう分解するのがポイントである。分周スプリアスの周波数は、整数分周からのずれの大きさで決まるため、このように、FCW を分解して分数分周を行うことにより、ターゲット周波数から離れた高周波にスプリアスをシフトすることができる。PLL は、元々、低域通過特性を持つため、帯域外の高周波にシフトしたスプリアスは除去される。



(a) 従来のディザリング方式



(b) 今回提案のカスケード型分数分周方式

図 1. 従来のディザリングと今回提案したカスケード型分数分周方式の比較

(2) 疑似差動型 DTC

今回、開発した PLL のもう一つの特徴は、疑似差動型 DTC である。DTC は、DSM に起因する量子化雑音を打ち消す働きを行い、その遅延範囲は、デジタル制御発振器 (Digitally Controlled Oscillator、DCO) の 1 周期 (T_{dco}) をカバーする必要がある。従来の DTC 設計では、消費電力、遅延範囲、雑音とのトレードオフのため、図 2(a) に示すように一定量の INL が発生し、これが誤差となり、量子化雑音の低減効果に制約があった。今回開発した疑似差動型 DTC では、図 2(b) に示すように、位相比較器の入力に DTC_p と DTC_n の 2 つの同じ DTC を配置する。DSM から量子化雑音が増加すると、DTC_p の遅延は増加する一方、DTC_n の遅延は減少するため、時間領域で擬似的な差動動作を行う。結果、提案した DTC の INL は、等価的に DTC_p と DTC_n の INL の差になり、大幅に小さくなる。さらに、DTC_p と DTC_n に必要な遅延範囲が半分になるため、INL は本質的に小さくなり、より強力にスプリアスを低減できる。

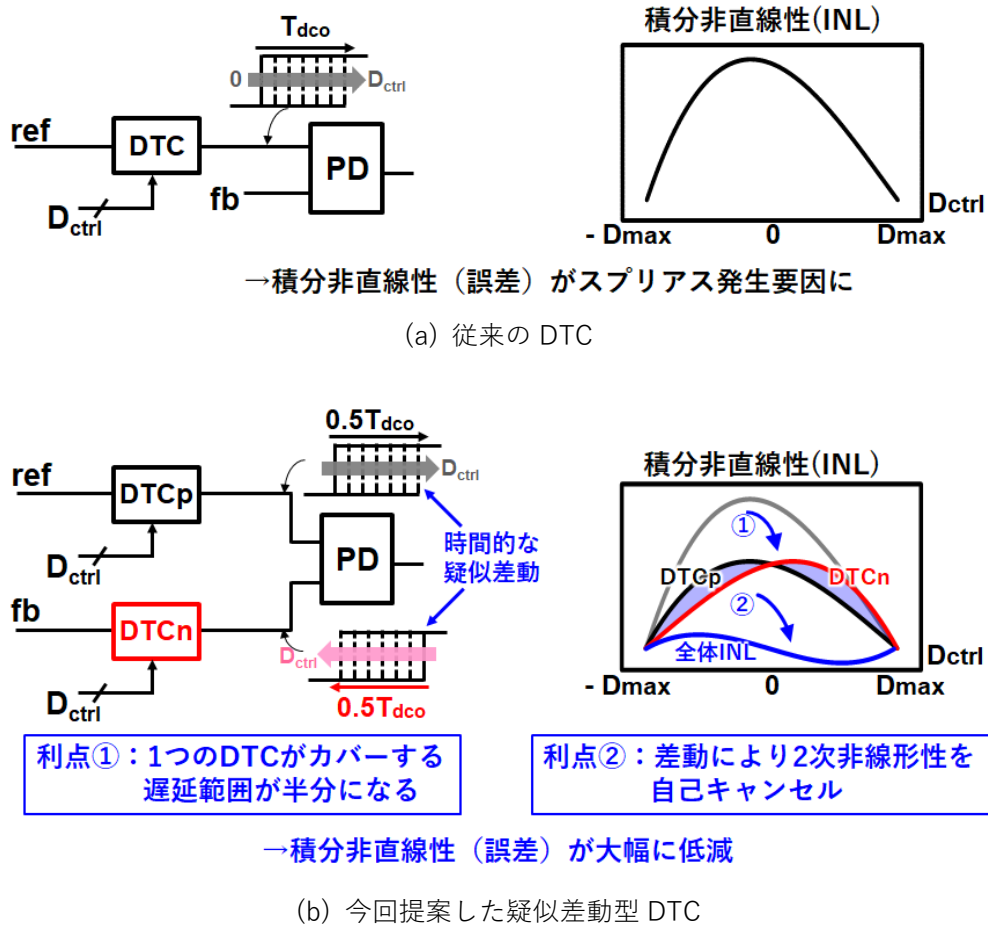


図 2. 従来のデジタル時間変換器 (DTC) と今回提案した疑似差動型 DTC の比較

新たに提案したカスケード型分数分周方式と疑似差動型 DTC を採用したデジタル PLL 回路を、65 nm の CMOS プロセスを用いて実際に作製した (図 3)。チップサイズは 1.3 mm x 1.1 mm である。作製した PLL 回路を評価した結果、10 kHz から 10 MHz で積分したジッタは、元の 243.5 fs から 143.7 fs まで低減できることを確認した。これは、提案したカスケード型分数分周方式を適用することで、分周スプリアスが低減した効果によるものである。また、消費電力は 8.89 mW であり、DPD を用いずに分周スプリアス -60 dBc を達成したデジタル PLL の中で最高の FoM (Figure of Merit) を達成した。

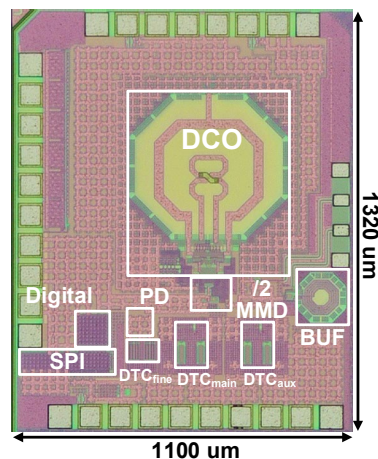


図 3. 作製した PLL 回路のチップ写真

●社会的インパクト

来るべき Society 5.0 では、実世界（フィジカル空間）の膨大なセンシングデータをサイバー空間との間で通信する。Beyond 5G は、こうした社会を支える中核的なインフラの役割を担うものである。本研究では、デジタル回路向けの微細 CMOS プロセスとの親和性が高く、小型・低消費電力に SoC 集積可能なデジタル PLL 構成により、位相雑音の低い高性能な PLL を実現している。これにより、IoT 機器の小型・低消費電力、低コスト化が可能となり、Beyond 5G における IoT サービスの普及に貢献するものである。

●今後の展開

本研究成果をさらに進め、さらなる高性能な PLL を実現するアーキテクチャや回路を探求するとともに、Beyond 5G 無線通信機やレーダーなど実際のアプリケーションでの効果も実証していく。

●付記

本研究は、国立研究開発法人情報通信研究機構（NICT）の委託研究「継続的進化を可能とする B5G IoT SoC 及び IoT ソリューション構築プラットフォームの研究開発」（JPJ012368C00801）の成果の一部である。

【用語説明】

- (1) **スプリアス (Spurious)** : 意図して出力する信号以外の不要な信号。
- (2) **ジッタ (Jitter)** : 信号の立ち上がりまたは立ち下りタイミングが揺らぐ現象。本来のタイミングからのずれが統計的にどれぐらいの幅を持つかで評価する。
- (3) **位相同期回路 (PLL : Phase-Locked Loop)** : 集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数 f_{ref} を元に、それを N 通倍して所望周波数 $N \cdot f_{ref}$ の周波数の信号を得るための回路。
- (4) **分数分周 PLL (Fractional-N PLL)** : PLL には、整数分周型と分数分周型がある。整数分周型 PLL では基準信号に対して整数倍の周波数を出力するが、分数分周型では分数倍の任意の周波数の出力が可能である。無線通信やレーダー用途には、分数分周 PLL が必要である。
- (5) **ディザリング (Dithering)** : 信号にランダムなノイズを加えることにより、誤差を拡散させる技術。
- (6) **デジタル非線形補償 (DPD : Digital Predistortion)** : 信号の非線形性を補償するための技術。対象となる回路の非線形性をモデル化し、その逆特性の信号を入力することで、線形な出力信号を得る。
- (7) **CMOS プロセス** : N 型と P 型の MOSFET を相補的に用いた集積回路であり、バイポーラプロセスと比較して消費電力の削減と高い集積率を実現したプロセスである。近年の集積回路はほぼすべてが CMOS プロセスとなっている。
- (8) **FoM (Figure of Merit)** : 消費電力で規格化したジッタ性能を示す。ジッタと消費

電力はトレードオフの関係にあり、発振器の消費電力を増やすとジッタが減少し、消費電力を減らすとジッタが増加する。

- (9) **デルタシグマ変調 (DSM : Delta-Sigma Modulation)** : 信号の大きさをパルスの密度で表現するパルス密度変調の一種。信号帯域よりも十分高いサンプリング周波数により標本化 (オーバーサンプリング) を行い、帰還回路によって、量子化雑音の分布を制御できる (ノイズシェーピング) のが特徴。
- (10) **デジタル時間変換器 (DTC : Digital-to-Time Converter)** : デジタル制御値により、遅延時間が変化する可変遅延回路。
- (11) **積分非直線性 (INL : Integral Nonlinearity)** : デジタル制御値入力に対する理想的な出力値と実際の出力値の誤差。

【発表予定】

この成果は2月18日~22日にサンフランシスコで開催される「2024 IEEE International Solid-State Circuits Conference (ISSCC 2024) : 2024 年米国電気電子学会 国際固体素子回路会議」における講演セッション「Session 10 – Frequency Synthesis」にて「A 7GHz Digital PLL with Cascaded Fractional Divider and Pseudo- Differential DTC Achieving -62.1dBc Fractional Spur and 143.7fs Integrated Jitter」の講演タイトルで、現地時間2月20日午前8時50分から発表される。

(講演情報)

講演セッション : Session 10 –Frequency Synthesis

講演時間 : 現地時間2月20日午前8時50分

講演タイトル : A 7GHz Digital PLL with Cascaded Fractional Divider and Pseudo- Differential DTC Achieving -62.1dBc Fractional Spur and 143.7fs Integrated Jitter

(ISSCC 会議情報)

<http://isscc.org/>

<https://submissions.miramart.com/ISSCC2024/PDF/ISSCC2024AdvanceProgram.pdf>

【問い合わせ先】

東京工業大学 工学院 電気電子系 教授

岡田 健一 (おかだ けんいち)

Email: okada@ee.e.titech.ac.jp

TEL: 03-5734-3764 FAX: 03-5734-3764

【取材申し込み先】

東京工業大学 総務部 広報課

Email: media@jim.titech.ac.jp

TEL: 03-5734-2975 FAX: 03-5734-3661